

【特許請求の範囲】

【請求項1】 エミッタ不純物拡散層下に、該エミッタ不純物拡散層の導電型と同導電型のウェルを設置することを特徴とするラテラルバイポーラ型入出力保護装置。

【請求項2】 前記エミッタ不純物拡散層の導電型はN型であり、前記ウェルはN型であることを特徴とする、請求項1記載のラテラルバイポーラ型入出力保護装置。

【請求項3】 前記エミッタ不純物拡散層とコレクタ不純物拡散層とは、シャロートレンチアイソレーションで分離されていることを特徴とする、請求項1又は請求項2記載のラテラルバイポーラ型入出力保護装置。

【請求項4】 前記エミッタ不純物拡散層は接地端子へ接続され、コレクタ不純物拡散層は入出力端子へ接続されていることを特徴とする、請求項1～3のいずれかの請求項に記載のラテラルバイポーラ型入出力保護装置。

【請求項5】 前記エミッタ不純物拡散層は電源端子へ接続され、コレクタ不純物拡散層は入出力端子へ接続されていることを特徴とする、請求項1～3のいずれかの請求項に記載のラテラルバイポーラ型入出力保護装置。

【請求項6】 前記エミッタ不純物拡散層は複数設けられ、少なくとも一つのエミッタ不純物拡散層は接地端子へ接続され、他の少なくとも一つのエミッタ不純物拡散層は電源端子へ接続されるとともに、コレクタ不純物拡散層は入出力端子へ接続されていることを特徴とする、請求項1～3のいずれかの請求項に記載のラテラルバイポーラ型入出力保護装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はラテラルバイポーラ型入出力保護装置に係わり、特に半導体集積回路の入出力保護装置用に用いられるラテラルバイポーラ型入出力保護装置に関する。

【0002】

【従来の技術】従来のラテラルバイポーラ型入出力保護装置は、同一ウェル内において、フィールド酸化膜を用いた構造を適用していた（例えば、特開平8-51188号公報、特開平7-122715号公報）。図5は、従来のラテラルバイポーラ型入出力保護装置の一例として示す断面図である。図5に示すように、P型基板9のP型ウェル7上にN型コレクタ拡散層2、N型エミッタ拡散層3、基板電位接地用P型拡散層4があり、各層はフィールド酸化膜（選択酸化膜）11によって分離されている。この構造において、入出力端子1へ静電気等による負極高電圧パルスが印加されると、N型コレクタ拡散層2とP型ウェル7間のPN接合は順バイアスとなり、過電流は順方向ダイオードによって、入出力端子1からP型拡散層4を経由して接地端子5へ逃がされる。入出力端子1へ正極高電圧パルスが印加された場合は、N型コレクタ拡散層2とP型ウェル7のPN接合は逆バイアスとなり、印加電圧が接合耐圧を越えると、アバ

ンシェ降伏電流がP型ウェル7へ流れるとともに、接合端部でのインパクトイオン化に起因する基板電流がP型ウェル7へ流れる。アバランシェ降伏電流と基板電流がP型ウェル7へ流れると、P型ウェル7の寄生抵抗成分の影響で、接地端子5に対してP型ウェル7の電位が上昇する。P型ウェル7の電位が上昇し、P型ウェル7とN型エミッタ拡散層3間のPN接合が順バイアスになると、ラテラルNPNバイポーラがオン状態となり、入出力端子1と接地端子5間は、低電圧下で保持される。このように、入出力端子1へ正極高電圧パルスが印加されると、ラテラルNPNバイポーラが動作することによって、過電流は接地端子5へ逃がされる。

【0003】なお、入出力保護装置としては、特開昭62-224057号公報、特開昭63-278267号公報、特開平3-272180号公報にも開示されている。

【0004】

【発明が解決しようとする課題】近年の半導体集積回路では、集積度を上げるために、フィールド分離構造として、選択酸化構造ではなく、シャロートレンチアイソレーション（STI）構造を適用することが主流となりつつある。STI構造では、分離耐性を確保するために、選択酸化構造に比べ、分離酸化膜を深いところまで設ける必要がある。従来のラテラルバイポーラ型入出力保護装置において、このSTI構造を適用すると、フィールド酸化膜が深い位置まで存在するために、バイポーラ動作の際のベース幅が大きくなり、電流増幅率が低下し、バイポーラ動作を起こし難くなる。このため、従来のラテラルバイポーラ型入出力保護装置は、STI構造では保護能力が低下するので、適用できないという問題があった。

【0005】本発明の目的は、フィールド分離構造として、深い位置まで分離絶縁膜が形成される構造を採用、例えばSTI構造を採用し、半導体集積回路を微細化した場合においても、保護能力が低下しないラテラルバイポーラ型入出力保護装置を提供することにある。

【0006】

【課題を解決するための手段】本発明のラテラルバイポーラ型入出力保護装置は、エミッタ不純物拡散層下に、該エミッタ不純物拡散層の導電型と同導電型のウェルを設置することを特徴とするものである。

【0007】本発明では、エミッタ不純物拡散層下に、エミッタ不純物拡散層の導電型と同導電型のウェルを設置した構造となっているので、バイポーラ動作を容易に起こすことができ、STI等の分離構造を適用して半導体集積回路を微細化しても、保護能力が低下することなく、十分な静電気耐性を確保することができる。

【0008】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の第

1の実施形態を示す断面図、図2は本発明の半導体集積回路入出力保護装置の第1の実施形態を示す平面図である。本実施形態は、図1及び図2に示すように、入出力端子1に接続されたN型コレクタ拡散層2、接地端子5へ接続されたN型エミッタ拡散層3及びP型拡散層4、N型エミッタ拡散層3下に設置したN型ウェル8、バイポーラのベース領域に相当するP型ウェル7、P型基板9で構成される。

【0009】次に、本実施形態の動作について説明する。入出力端子1へ静電気等による正極高電圧パルスが印加されると、N型コレクタ拡散層2とP型ウェル7間のPN接合がアバランシェ降伏後、入出力端子1からP型ウェル7、P型基板9、P型拡散層4を経由して、接地端子5へ降伏電流が流れる。P型ウェル7およびP型基板9へ電流が流れると、P型ウェル7およびP型基板9の寄生抵抗成分の影響により、接地端子5に対して、P型ウェル7およびP型基板9の電位が上昇する。N型エミッタ拡散層3下にN型ウェル8を設けたことにより、バイポーラ動作する際のベース幅を小さくすることができるので、バイポーラ動作は起こり易くなる。電位が上昇して、P型ウェル7とN型ウェル8間、またはP型基板9とN型ウェル8間が順バイアス状態になると、NPNバイポーラが動作する。

【0010】入出力端子1へ静電気等による負極高電圧パルスが印加されると、N型コレクタ拡散層2とP型ウェル7間のPN接合は順バイアスとなり、過電流は順方向ダイオードによって、入出力端子1からP型拡散層4を経由して接地端子5へ逃がされる。

【0011】上記本実施形態を製造するには、P型シリコン基板9にSTI6を約 $0.5\mu\text{m}$ の深さで形成後、イオン注入およびアニール処理により、不純物濃度が約 1×10^{18} 個/ cm^3 のP型ウェル7およびN型ウェル8を形成する。その後、ドーズ量 5×10^{15} 個/ cm^2 のヒ素イオン注入およびアニール処理により、N型コレクタ拡散層2およびN型エミッタ拡散層3を形成し、基板電位用P型拡散層4を、ドーズ量 3×10^{15} 個/ cm^2 のボロンイオン注入およびアニール処理により形成する。ここでは、N型ウェル8の幅（P型ウェル7の間隔）を約 $2\mu\text{m}$ とした。N型ウェル8は半導体集積回路内のpMOSトランジスタ用のN型ウェルと同時に形成しているため、製造工程数が増加することはない。

【0012】図3は本発明の第2の実施の形態を示す断面図、図4は本発明の第2の実施の形態を示す平面図である。本発明の第2の実施の形態では、N型エミッタ拡散層3を接地端子5に接続する他、電源端子10へ接続するためのN型エミッタ拡散層3も設けた。そして電源端子10、接地端子5に接続する両方のN型エミッタ拡散層3下にN型ウェル8を設けた。この構成により、接

地端子5へ過電流をバイパスするのみでなく、電源端子10へも過電流をバイパスできるので、静電気等からの保護能力をさらに向上させることができる。

【0013】半導体集積回路において、フィールド分離構造を深さ $0.5\mu\text{m}$ のSTI構造とした場合、従来のラテラルバイポーラ型入出力保護装置では、Human Body Model (HBM) ESD印加試験において、500V以下の耐圧しか得られなかったが、本発明の実施形態1の構造を適用することにより、HBM-ESD印加試験において、2000V以上の耐圧を確保することができた。また、半導体集積回路全体として、STI構造を適用したことにより、集積度を約2倍に向上させることができた。

【0014】なお、上述した実施形態ではフィールド分離構造として、STI構造を採用したが、分離絶縁膜が深くなってバイポーラ動作が生じにくくなる他の分離構造にも本発明を適用することができる。また、第1の実施形態において、接地端子を電源端子としてもよい。

【0015】

【発明の効果】以上説明したように、本発明によれば、半導体集積回路を微細化するために、フィールド分離構造としてSTI構造等の分離絶縁膜が深い構造を適用しても、保護能力を低下させることなく、入出力保護装置の構成が可能となる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路入出力保護装置の第1の実施形態を示す断面図である。

【図2】本発明の半導体集積回路入出力保護装置の第1の実施形態を示す平面図である。

【図3】本発明の半導体集積回路入出力保護装置の第2の実施形態を示す断面図である。

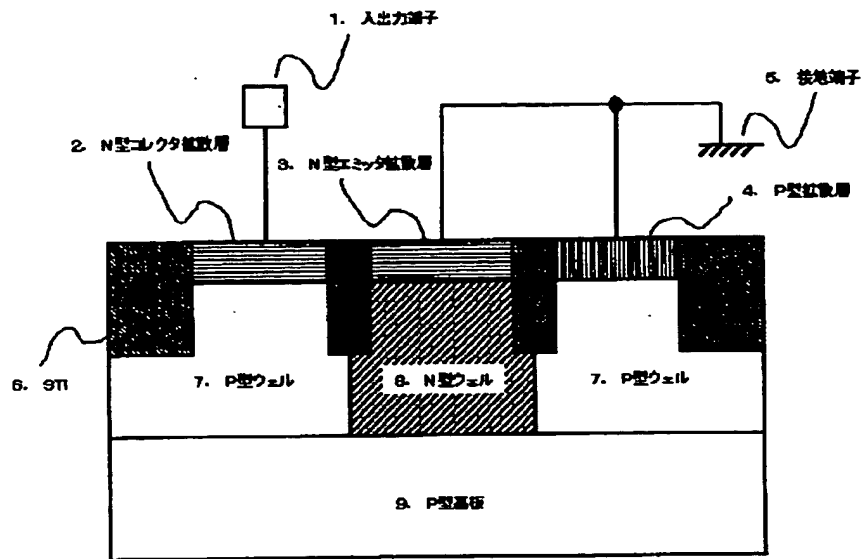
【図4】本発明の半導体集積回路入出力保護装置の第2の実施形態を示す平面図である。

【図5】従来の半導体集積回路入出力保護装置を示す断面図である。

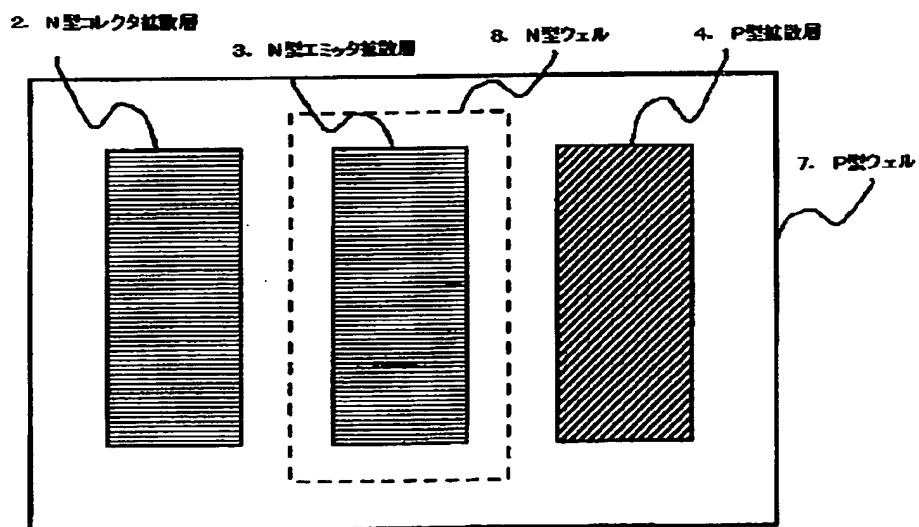
【符号の説明】

- 1 入出力端子
- 2 N型コレクタ拡散層
- 3 N型エミッタ拡散層
- 4 P型拡散層
- 5 接地端子
- 6 シャロートレンチアイソレーション (STI)
- 7 P型ウェル
- 8 N型ウェル
- 9 P型基板
- 10 電源端子
- 11 選択酸化膜

【図1】



【図2】



[illegible]

3. N型エミッタ拡散層

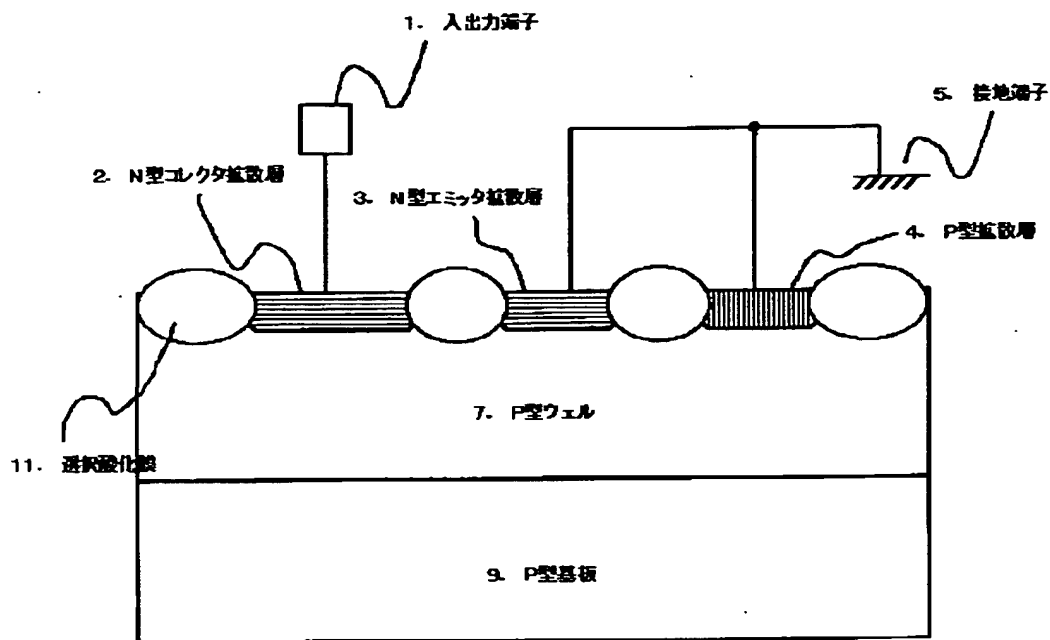
2. N型コレクタ拡散層

8. N型ウェル

4. P型拡散層

7. P型ウェル

【図5】



フロントページの続き

Fターム(参考) 5F003 AP01 BA27 BB02 BB05 BE02
 BF90 BG10 BJ15 BJ90 BM01
 BN01
 5F038 BH04 BH06 BH13 EZ01 EZ12
 EZ20
 5F082 AA33 BA05 BA10 BA32 BA36
 BA39 BA50 BC01 BC09 EA02
 FA16